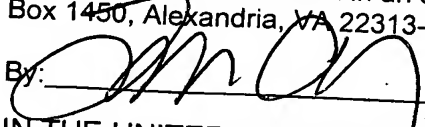


Docket No.: P2002,0587

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By:  Date: September 26, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Thomas Hanuschek, et al.  
Applic. No. : 10/616,114  
Filed : July 9, 2003  
Title : Integrated Microcontroller Module and Method for Checking the Functionality of an Integrated Memory of the Microcontroller Module

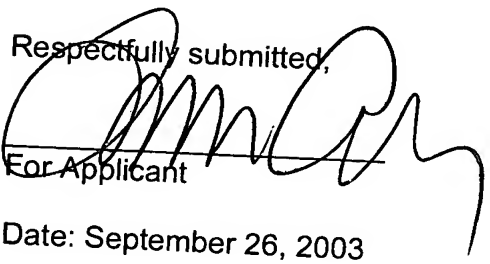
**CLAIM FOR PRIORITY**

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 30 949.3, filed July 9, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,  
  
For Applicant

LAURENCE A. GREENBERG  
REG. NO. 29,308

Date: September 26, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 30 949.3

**Anmeldetag:** 09. Juli 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Integrierter Mikrocontroller-Baustein und  
Verfahren zur Funktionsüberprüfung eines  
integrierten Speichers des Mikrocontroller-  
Bausteins

**IPC:** G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 03. Juli 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Jerofsky

The image shows a handwritten signature in black ink, which appears to be 'Jerofsky'. The signature is written in a cursive style. Below the signature, the name 'Jerofsky' is printed in a sans-serif font.

## Beschreibung

Integrierter Mikrocontroller-Baustein und Verfahren zur Funktionsüberprüfung eines integrierten Speichers des Mikrocontroller-Bausteins

Die vorliegende Erfindung betrifft einen integrierten Mikrocontroller-Baustein und ein Verfahren zur Funktionsüberprüfung eines integrierten Speichers des Mikrocontroller-Bausteins.

Integrierte Speicher, beispielsweise in Form von DRAMs (Dynamic Random Access Memories) oder SRAMs (Static Random Access Memories) werden im Herstellungsprozeß im allgemeinen umfangreichen Funktionstests unterzogen. Unter anderem dienen diese Funktionstests dazu, fehlerhafte Speicherzellen beziehungsweise fehlerhafte Spaltenleitungen oder Reihenleitungen zu identifizieren. Mit zunehmender Speichergröße nehmen die Kosten von Funktionstests einen immer größeren Anteil an den gesamten Produktionskosten eines Speichers ein. Um die Testkosten zu senken, werden daher zunehmend Methoden wie Testmodus zur Komprimierung von Daten oder zusätzliche Testlogik, beispielsweise in Form von BIST (Built-In Self-Test) entwickelt.

Integrierte Speicher weisen im allgemeinen zur Reparatur fehlerhafter Speicherzellen redundante Speicherzellen auf, die meist zu redundanten Reihenleitungen oder redundanten Spaltenleitungen zusammengefaßt sind, die reguläre Leitungen mit defekten Speicherzellen adressenmäßig ersetzen können. Dadurch ist es möglich, integrierte Speicher, insbesondere in Form von DRAMs, bei den heute erreichten Integrationsdichten noch wirtschaftlich herzustellen. Ein integrierter Speicher wird beispielsweise mit einer externen Prüfeinrichtung geprüft und anschließend anhand einer sogenannten Redundanzanalyse eine Programmierung von redundanten Elementen vorgenommen. Um eine Reparatur eines Speichers gezielt durchführen zu

können, müssen in entsprechenden Tests beziehungsweise Testsequenzen alle Fehler identifiziert und zusammen mit der zugehörigen Adresse in einem für diesen Zweck vorgesehenen Speicher abgespeichert werden. Hierzu werden die Adressen je-  
5 ner getesteter Speicherzellen, welche als fehlerhaft detektiert wurden, in einem Fehleradreßspeicher zu einer sogenannten Fehlertabelle gespeichert, um in einem anschließenden Schritt anhand der gespeicherten Adressen diese Speicherzellen durch fehlerfreie redundante Speicherzellen zu ersetzen.  
10 Auf Basis dieser Fehlertabelle kann anschließend die für jeden Speicher individuelle Reparaturlösung berechnet und eine sogenannte Fail Bit Map dargestellt werden.

Mit fortschreitender Entwicklung auf dem Gebiet von integrierten Schaltungen steigt die Betriebsfrequenz, mit der eine integrierte Schaltung betrieben wird, im allgemeinen ständig an. Mit zunehmenden Betriebsfrequenzen von integrierten Schaltungen wird es meist schwieriger, diese integrierten Schaltungen auf ihre Funktionsfähigkeit hin zu testen. Dabei  
20 ist es für den Erhalt eines weitgehend aussagekräftigen Testergebnisses wichtig, daß die integrierte Schaltung auch bei ihrer Betriebsfrequenz, die sie im Normalbetrieb aufweist, getestet wird.

Erfahrungsgemäß ist es jedoch ein vergleichsweise großes Problem, Testgeräte für neuere integrierte Schaltungen bereitzustellen, die Ausgangssignale einer getesteten integrierten Schaltung, die mit maximaler Betriebsfrequenz getestet und betrieben wird, bei dieser geforderten Frequenz mit genügender Genauigkeit bewerten können. Oftmals sind derartige Test-  
30 geräte auf dem Markt nicht verfügbar oder vergleichsweise teuer. Aus Kostengründen ist es deshalb oft von großem Vorteil, durch chipseitige Hardware Testgeräte älterer Bauart, die lediglich vergleichsweise niedrige Frequenzen unterstützen,  
35 zen, für neuere Chip-Generationen nutzbar zu machen.

Bei der Verwendung von BIST-Controllern zum Selbsttest von integrierten Speichern muß zusätzliche Hardware auf dem Speicherchip vorgesehen werden, was im allgemeinen zu einer Vergrößerung der benötigten Chipfläche führt. Bei einem Funktionstest mittels eines externen Testsystems, bei dem Fehlerdaten auf Basis des BIST-Tests abgespeichert werden, ist im allgemeinen ein hoher Aufwand bezüglich des Test-Setups und der Tester-Hardware erforderlich, wodurch die Testkosten und damit die Herstellungskosten von integrierten Speichern ansteigen.

Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Mikrocontroller-Baustein mit einem integrierten Speicher anzugeben, der es ermöglicht, Testkosten oder zusätzliche Chipfläche, die insbesondere durch für einen Testbetrieb zusätzlich vorzusehene Chip-Hardware verursacht wird, möglichst gering zu halten.

Weiterhin soll mit einem Verfahren zur Funktionsüberprüfung eines Speichers eines derartigen Bausteins eine entsprechende Testmethodik angegeben werden.

Die Aufgabe bezüglich des integrierten Bausteins wird gelöst durch einen integrierten Baustein mit einem Mikrocontroller gemäß Patentanspruch 1. Die Aufgabe bezüglich des Verfahrens wird gelöst durch ein Verfahren gemäß Patentanspruch 5.

Der erfindungsgemäße integrierte Baustein weist neben einem internen Speicher zur Speicherung von Code und Daten einen Mikrocontroller auf, der mit einem externen Anschluß des Bausteins und mit dem Speicher verbunden ist. Der Mikrocontroller ist insbesondere dazu vorgesehen, in einem Normalbetrieb des Bausteins einen Zugriff auf den Speicher sowie einen Datentransfer über den externen Anschluß des Bausteins zu steuern. Der Speicher ist beispielsweise als SRAM und der Mikrocontroller beispielsweise als Festplattencontroller ausgeführt zur Verwendung des Bausteins in einem Computersystem.

Erfindungsgemäß ist der für den Normalbetrieb in der Applikation ohnehin vorgesehene Mikrocontroller derart ausgebildet, daß durch ihn in einem Testbetrieb des Bausteins die Durchführung einer Testsequenz zur Funktionsprüfung des Speichers steuerbar ist. Weiterhin ist ein Fehlerdatenspeicher zur  
5 Speicherung von Fehlerdaten unter Steuerung des Mikrocontrollers vorhanden, die bei der Funktionsüberprüfung erzeugt werden.

10 Gemäß dem erfindungsgemäßen Verfahren zur Funktionsüberprüfung des Speichers eines derartigen integrierten Bausteins wird eine Befehlssequenz, anhand derer der Mikrocontroller die Durchführung der Testsequenz steuert, vor Beginn des Testbetriebs von extern in den Baustein eingelesen. Diese ge-  
15 ladene Befehlssequenz wird zur Durchführung der Testsequenz auf dem Mikrocontroller ausgeführt. Dabei werden Fehlerdaten im Fehlerdatenspeicher unter Steuerung des Mikrocontrollers abgelegt.

20 Mit der vorliegenden Erfindung ist es vorteilhaft ermöglicht, daß auf eine BIST-Hardware auf dem Baustein verzichtet werden kann. Hierdurch kann wirksam wertvolle Chipfläche eingespart werden. Dies ist insbesondere vorteilhaft im Hinblick auf Bausteine mit hoher Integrationsdichte. Die jeweiligen Fehlerdaten können durch ein externes Testgerät am Ende des  
25 Funktionstests ausgelesen werden und können insbesondere als Basis zum Aufbau einer Fail Bit Map dienen. Dadurch kann ein vergleichsweise kostengünstiges Testsystem für den Funktionstest verwendet werden, da die Datenkommunikation zwischen  
30 Baustein und Testsystem nicht während des Tests laufend erfolgen muß und daher nicht zeitkritisch ist.

Weiterhin kann vorteilhaft bereits für einen Test auf Wafererebene Testinformation beziehungsweise Fehlerinformation  
35 bewertet werden und der Baustein physikalisch analysiert werden. Zudem ist es vorteilhaft ermöglicht, einen Funktionstest und die Testabdeckung durch den Funktionstest flexibel zu op-

timieren. Der Test kann außerdem im Hinblick auf Testgeschwindigkeit und Abspeicherung von Testinformation flexibel gestaltet werden. Weiterhin kann die Kommunikation zwischen dem zu testenden Speicher und einem Testsystem während des Funktionstests im Hinblick auf einen optimierten Testfluß entsprechend definiert werden.

In einer Ausführungsform des erfindungsgemäßen integrierten Bausteins weist der Mikrocontroller einen Befehlsspeicher auf zur Speicherung der von extern zugeführten Befehlssequenz, anhand derer der Mikrocontroller die Durchführung der Testsequenz steuert. Der Befehlsspeicher ist in einer Ausführungsform der Erfindung ein Bestandteil des Mikrocontrollers, ebenso ist in einer weiteren Ausführungsform der Erfindung der Fehlerdatenspeicher ein Bestandteil des Mikrocontrollers.

Gemäß einer Ausführungsform des erfindungsgemäßen Verfahrens zur Funktionsüberprüfung des integrierten Bausteins wird nach dem Einlesen der Befehlssequenz zu Beginn des Testbetriebs eine Startadresse in einem internen Befehlsspeicher angesprungen. Die Befehlssequenz wird unter Steuerung des Mikrocontrollers ausgehend von der Startadresse ausgeführt und erzeugte Fehlerdaten werden unter Steuerung des Mikrocontrollers in dem Fehlerdatenspeicher abgelegt. Die im Fehlerdatenspeicher abgelegten Fehlerdaten können unter Steuerung des Mikrocontrollers nach außerhalb des Bausteins zur Auswertung der Funktionsprüfung ausgelesen werden. Auf deren Basis kann zu Fehleranalysezwecken eine Fail Bit Map aufgebaut werden.

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsbeispiele der vorliegenden Erfindung darstellen, näher erläutert.

Es zeigen:

Figur 1 eine Ausführungsform eines erfindungsgemäßen integrierten Bausteins,

5 Figur 2 eine detailliertere Ausführungsform eines erfindungsgemäßen integrierten Bausteins,

Figur 3 ein Flußdiagramm zur Durchführung eines Funktionstests eines Speichers gemäß Figur 2 unter Veranschaulichung der verwendeten Speicherkomponenten.  
10

In Figur 1 ist ein integrierter Baustein 1 gezeigt, der einen Speicher 2 zur Speicherung von Code oder Daten aufweist. Der Speicher 2 ist im vorliegenden Ausführungsbeispiel als SRAM  
15 ausgeführt beziehungsweise in einem SRAM enthalten. Weiterhin weist der Baustein einen Mikrocontroller 3 auf, der mit einem externen Anschluß P des Bausteins und mit dem Speicher 2 verbunden ist. Durch den Mikrocontroller 3 ist im Normalbetrieb des Bausteins ein Zugriff auf den Speicher 2 sowie ein Daten-  
20 transfer über den externen Anschluß P des Bausteins steuerbar. Der Mikrocontroller 3 ist beispielsweise als Festplattencontroller ausgeführt.

In Figur 2 ist eine detailliertere Ausführungsform eines erfindungsgemäßen integrierten Bausteins gezeigt. Der Baustein 1 gemäß Figur 2 weist wie der Baustein gemäß Figur 1 einen Speicher 2 auf sowie einen Mikrocontroller 3, der in einem Normalbetrieb des Bausteins den Speicherzugriff auf den Speicher 2 sowie den externen Datentransfer des Bausteins steuert.  
30 Bestandteile des Mikrocontrollers 3 sind eine Central Processing Unit (CPU) 4 und ein interner Speicher, der als Befehlsspeicher 5 und/oder als Fehlerdatenspeicher 6 genutzt werden kann. An den externen Anschluß P ist ein externes Testsystem 7 angeschlossen. Der Befehlsspeicher 5 und Fehlerdatenspeicher 6 sind im vorliegenden Ausführungsbeispiel Teil  
35 eines sogenannten Dual-Port-RAMs.



Anhand des Flußdiagramms gemäß Figur 3 soll im folgenden die Durchführung eines beispielhaften Funktionstests näher erläutert werden.

5 Vor Beginn des Testbetriebs wird vom Testsystem 7 eine Befehlssequenz zur Durchführung einer Testsequenz, die auf dem Mikrocontroller ausgeführt wird, eingelesen. Die Steuerung dieses Vorgangs übernimmt die CPU 4, wobei die Befehlssequenz in den Befehlsspeicher 5 geladen wird (Schritt A). Im Schritt  
10 B wird der Test von der Startadresse des internen Speichers durch die CPU 4 ausgeführt. Entsprechend werden Testdaten durch die CPU 4 in den Speicher 2 eingeschrieben. Im Schritt C werden die Daten aus dem Speicher 2 unter Steuerung der CPU 4 wieder ausgelesen und entsprechende Fehlerdaten unter  
15 Steuerung der CPU 4 im Fehlerdatenspeicher 6 abgelegt. Anschließend werden die im Fehlerdatenspeicher 6 abgelegten Fehlerdaten unter Steuerung der CPU 4 nach außerhalb des Bausteins zur Auswertung der Funktionsprüfung zum Testsystem 7 ausgelesen (Schritt D).

20

Mit der Erfindung ist es somit ermöglicht, einen Selbsttest eines integrierten Speichers durchzuführen, wobei hierzu jedoch keine zusätzliche BIST-Hardware vorzusehen ist. Mit der Erfindung ist es vorteilhaft ermöglicht, einen Funktionstest  
25 des Speichers zunächst in einem Probelauf auf einem Simulator nachzubilden und den nachfolgenden Funktionstest des Speichers damit zu optimieren. Der Funktionstest kann demnach mittels einer Simulation zuerst auf seine Funktionsfähigkeit hin überprüft werden, und dabei entdeckte Schwachstellen können beseitigt werden. Weiterhin kann eine Simulation im Hinblick auf eine optimale Testabdeckung und/oder eine Timing-Verifikation durchgeführt werden. Ein weiterer Vorteil besteht darin, daß mit dem vorherigen Laden einer Befehlssequenz ein Funktionstest, im Gegensatz zu einer BIST-

30

35 Realisierung, an die individuellen Testanforderungen flexibel anpaßbar ist. Somit können unterschiedliche Funktionstests durchgeführt werden, wie zum Beispiel sogenannte March-Tests

oder Checkerboard-Tests zur Überprüfung von statischen oder dynamischen Speicherfehlern.

## Patentansprüche

## 1. Integrierter Baustein

- mit einem Speicher (2) zur Speicherung von Code oder Daten,
- 5 - mit einem Mikrocontroller (3), der mit einem externen Anschluß (P) des Bausteins und mit dem Speicher (2) verbunden ist,
- bei dem durch den Mikrocontroller (3) in einem Normalbetrieb des Bausteins ein Zugriff auf den Speicher (2) sowie
- 10 ein Datentransfer über den externen Anschluß (P) steuerbar ist,
- bei dem durch den Mikrocontroller (3) in einem Testbetrieb des Bausteins die Durchführung einer Testsequenz (A - D) zur Funktionsprüfung des Speichers (2) steuerbar ist,
- 15 - mit einem Fehlerdatenspeicher (6) zur Speicherung von Fehlerdaten unter Steuerung des Mikrocontrollers, die bei der Funktionsprüfung erzeugt werden.

## 2. Integrierter Baustein nach Anspruch 1,

- 20 d a d u r c h g e k e n n z e i c h n e t, daß
- der Mikrocontroller einen Befehlsspeicher (5) aufweist zur Speicherung einer von extern zugeführten Befehlssequenz, anhand deren der Mikrocontroller die Durchführung der Testsequenz steuert.

25

## 3. Integrierter Baustein nach Anspruch 1 oder 2,

- d a d u r c h g e k e n n z e i c h n e t, daß
- der Fehlerdatenspeicher (6) ein Bestandteil des Mikrocontrollers (3) ist.

30

## 4. Integrierter Baustein nach Anspruch 2,

- d a d u r c h g e k e n n z e i c h n e t, daß
- der Befehlsspeicher (5) ein Bestandteil des Mikrocontrollers (3) ist.

35

5. Verfahren zur Funktionsüberprüfung des Speichers (2) des integrierten Bausteins (1) nach einem der vorhergehenden Ansprüche,

bei dem eine Befehlssequenz, anhand deren der Mikrocontroller

- 5 (3) die Durchführung der Testsequenz steuert, vor Beginn des Testbetriebs von extern in den Baustein (1) eingelesen wird, die Befehlssequenz zur Durchführung der Testsequenz auf dem Mikrocontroller (3) ausgeführt wird und Fehlerdaten im Fehlerdatenspeicher (6) unter Steuerung des Mikrocontrollers ab-
- 10 gelegt werden.

6. Verfahren nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t, daß

- nach dem Einlesen der Befehlssequenz zu Beginn des Testbetriebs eine Startadresse in einem internen Befehlsspeicher
- 15 (5) angesprungen wird,
- die Befehlssequenz unter Steuerung des Mikrocontrollers (3) ausgehend von der Startadresse ausgeführt wird und erzeugte Fehlerdaten unter Steuerung des Mikrocontrollers in dem Fehlerdatenspeicher (6) abgelegt werden,
- 20 - die im Fehlerdatenspeicher (6) abgelegten Fehlerdaten unter Steuerung des Mikrocontrollers nach außerhalb des Bausteins zur Auswertung der Funktionsprüfung ausgelesen werden.

## Zusammenfassung

Integrierter Mikrocontroller-Baustein und Verfahren zur Funktionsüberprüfung eines integrierten Speichers des Mikrocontroller-Bausteins

Ein integrierter Baustein enthält einen Mikrocontroller (3) und einen Code-/Datenspeicher (2), wobei durch den Mikrocontroller in einem Normalbetrieb des Bausteins ein Zugriff auf den Speicher (2) des Bausteins sowie ein externer Datentransfer steuerbar ist. Weiterhin ist durch den Mikrocontroller (3) in einem Testbetrieb die Durchführung einer Testsequenz (A - D) zur Funktionsprüfung des Speichers (2) steuerbar. In einem Verfahren zur Funktionsüberprüfung des Speichers (2) wird eine Befehlssequenz, anhand deren der Mikrocontroller (3) die Durchführung der Testsequenz steuert, vor Beginn des Testbetriebs von extern in den Baustein eingelesen. Die Befehlssequenz wird auf dem Mikrocontroller (3) ausgeführt und Fehlerdaten werden in einem Fehlerdatenspeicher (6) unter Steuerung des Mikrocontrollers abgelegt. Mit der Erfindung ist es somit ermöglicht, einen Selbsttest des Speichers durchzuführen, wobei hierzu jedoch keine zusätzliche BIST-Hardware vorzusehen ist.

25

Figur 2

## Bezugszeichenliste

	1	integrierter Baustein
5	2	Speicher
	3	Mikrocontroller
	4	CPU
	5	Befehlsspeicher
	6	Fehlerdatenspeicher
10	7	Testsystem
	P	Anschluß
	A - D	Schritt

1/2

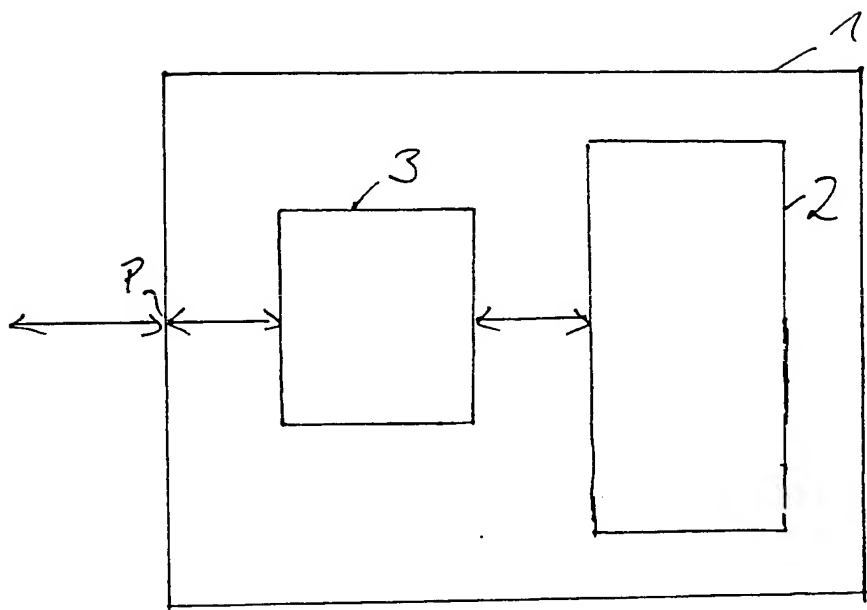


Fig. 1

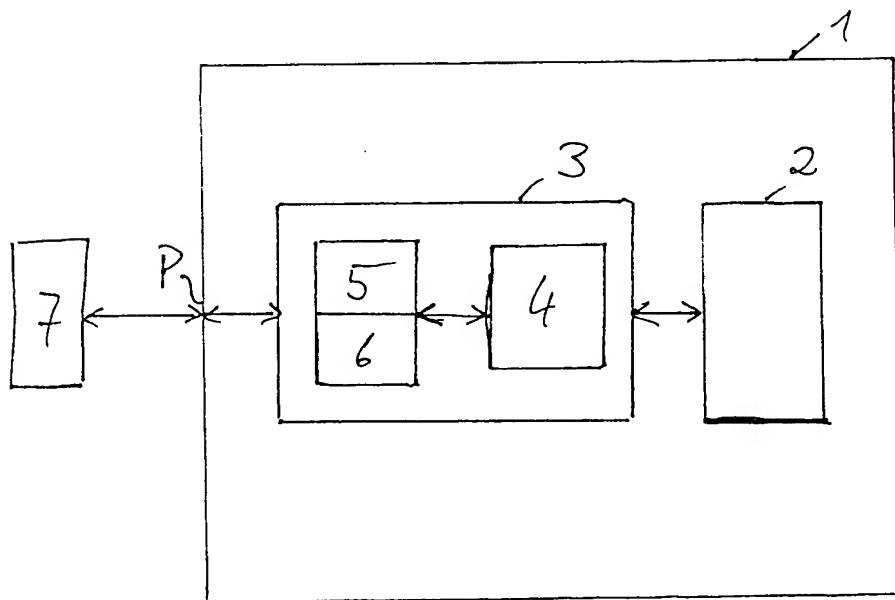


Fig. 2

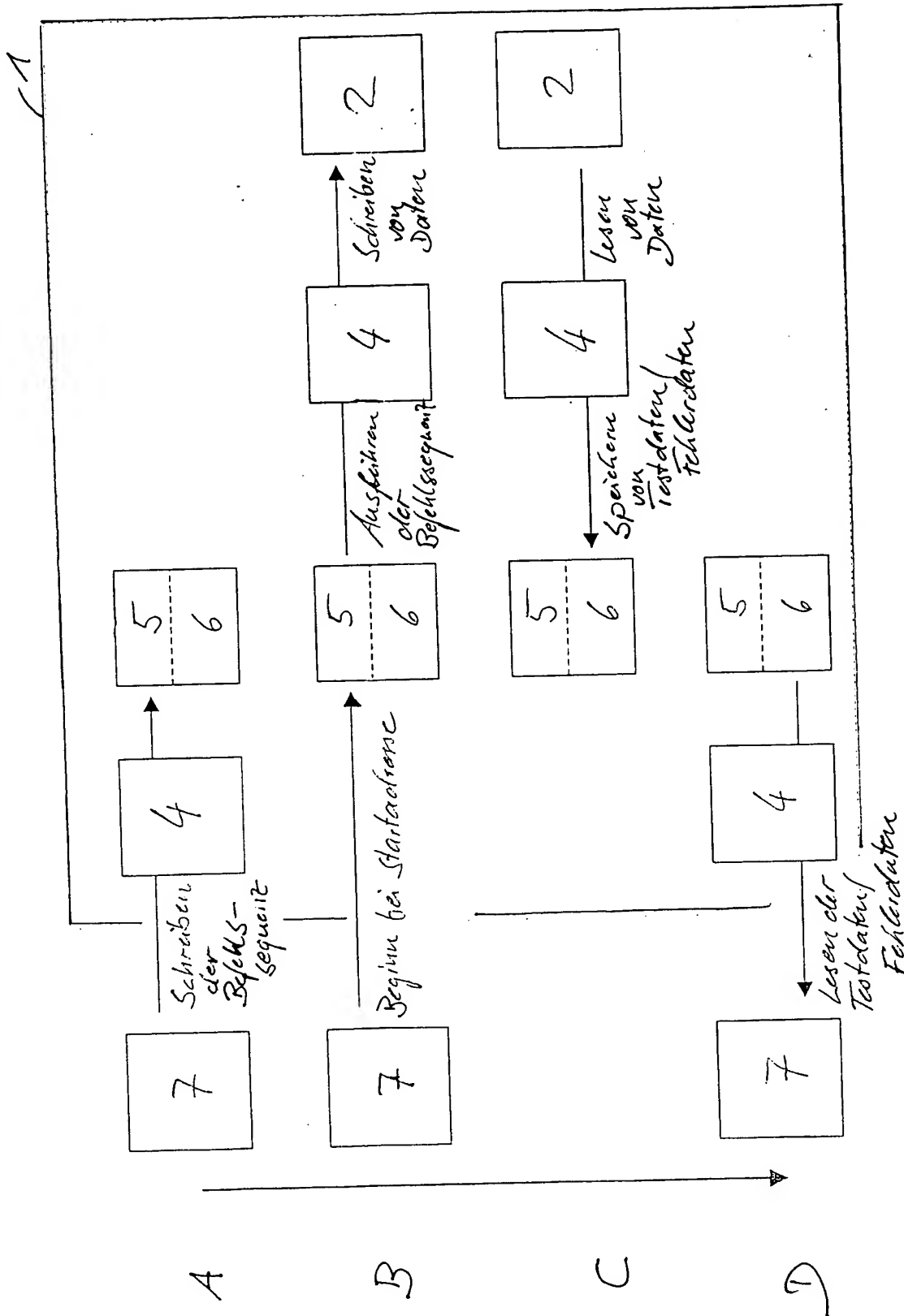


Fig. 3